

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0050880
Application Number

출원년월일 : 2002년 08월 27일
Date of Application AUG 27, 2002

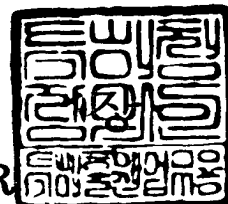
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 02 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.08.27
【발명의 명칭】	유기전계발광소자용 에이징 회로 및 그 구동방법
【발명의 영문명칭】	Aging Circuit For Organic Electroluminescence Device And Method Of Driving The same
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	한상수
【성명의 영문표기】	HAN,Sang Soo
【주민등록번호】	720123-1057114
【우편번호】	427-050
【주소】	경기도 과천시 부림동 주공아파트 811동 706호
【국적】	KR
【발명자】	
【성명의 국문표기】	하용민
【성명의 영문표기】	HA,Yong-Min
【주민등록번호】	661210-1890529
【우편번호】	730-022
【주소】	경상북도 구미시 도량동 77 도량파크 아파트 105동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	김창연
【성명의 영문표기】	KIM,Chang Yeon
【주민등록번호】	681029-1558418



1020020050880

출력 일자: 2003/2/25

【우편번호】	150-849
【주소】	서울특별시 영등포구 신길3동 364 건영아파트 라동 203호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	13 면 13,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	17 항 653,000 원
【합계】	695,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 유기전계발광소자에 관한 것으로 특히, 유기전계발광소자의 열화를 방지하도록 한 유기전계발광소자용 에이징 회로 및 그 구동방법에 관한 것이다.

본 발명에 따른 유기전계발광소자용 에이징 회로는 로우라인들과 컬럼라인들의 교차부에 매트릭스 형태로 배열된 다수의 화소들과, 다수의 화소들에 소정의 에이징 교류 전압펄스를 인가하기 위한 적어도 하나 이상의 에이징 교류전압원을 포함하는 스위칭수단을 구비하는 것을 특징으로 한다.

이러한 구성에 의하면, 본 발명에 따른 유기전계발광소자용 에이징 회로 및 그 구동방법은 전계발광셀(OLED)의 음극단에 소정의 정전압을 인가함과 아울러 에이징 전압으로 교류전압을 이용한다. 이에 따라, 본 발명에 따른 유기전계발광소자용 에이징 회로 및 그 구동방법은 화소 내에 스위치 소자 및 전계발광셀을 에이징하기 위한 에이징 전압을 감소시킴과 아울러 에이징시간도 감소시킬 수 있게 된다.

【대표도】

도 6

【명세서】

【발명의 명칭】

유기전계발광소자용 에이징 회로 및 그 구동방법{Aging Circuit For Organic Electroluminescence Device And Method Of Driving The same}

【도면의 간단한 설명】

도 1은 통상의 유기전계발광소자의 단면구조를 개략적으로 나타내는 단면도이다.

도 2는 통상의 유기전계발광소자의 화소배치를 개략적으로 나타내는 평면도이다.

도 3은 도 2에 도시된 화소의 등가회로도이다.

도 4는 도 2 및 도 3에 도시된 컬럼라인과 로우라인에 공급되는 신호를 나타내는 파형도이다.

도 5는 종래기술에 따른 유기전계발광소자용 에이징 회로를 나타내는 도면이다.

도 6은 본 발명의 제1 실시예에 따른 유기전계발광소자용 에이징 회로를 나타내는 도면이다.

도 7은 도 6에 도시된 에이징 회로의 구동파형도이다.

도 8은 본 발명의 제2 실시예에 따른 유기전계발광소자용 에이징 회로를 나타내는 도면이다.

도 9는 도 6에 도시된 에이징 회로를 포함한 유기전계발광 표시장치를 상세히 나타내는 도면이다.

<도면의 주요 부분에 대한 부호의 설명>

1 : 유리기관 2 : 애노드전극

3 : 정공주입층 4 : 발광층

5 : 전자주입층 6 : 캐소드전극

22,42,52,62 : 화소 24,44,54,64 : 에이징 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 유기전계발광소자에 관한 것으로 특히, 유기전계발광소자의 열화를 방지하도록 한 유기전계발광소자용 에이징 회로 및 그 구동방법에 관한 것이다.

<16> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 한다), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다) 및 전계발광소자(Electro-Luminescence Device) 등이 있다.

<17> 이들 중에 PDP는 구조와 제조공정이 단순하기 때문에 경박단소하면서도 대화

면화에 가장 유리한 표시장치로 주목받고 있지만 발광효율과 휘도가 낮고 소비전력이 큰 단점이 있다. 이에 비하여, 스위칭 소자로 박막 트랜지스터(Thin Film Transistor : 이하 "TFT"라 한다)가 적용된 액티브 매트릭스 LCD는 반도체공정을 이용하기 때문에 대 화면화에 어려움이 있지만 노트북 컴퓨터의 표시소자로 주로 이용되면서 수요가 늘고 있다. 이에 비하여, 전계발광소자는 발광층의 재료에 따라 무기전계발광소자와 유기전계 발광소자로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

<18> 유기전계발광소자는 도 1과 같이 유리기판(1) 상에 투명전극패턴으로 애노드전극(2)을 형성하고, 그 위에 정공주입층(3), 발광층(4), 전자주입층(5)이 적층된다. 전자주입층(5) 상에는 금속전극으로 캐소드전극(6)이 형성된다.

<19> 애노드전극(2)과 캐소드전극(6)에 구동전압이 인가되면 정공주입층(3) 내의 정공과 전자주입층(5) 내의 전자는 각각 발광층(4) 쪽으로 진행하여 발광층(4)을 여기시켜 발광층(4)으로 하여금 가시광을 발산하게 한다. 이렇게 발광층(4)으로부터 발생하는 가시광으로 화상 또는 영상을 표시하게 된다.

<20> 도 2 및 도 3을 참조하면, 유기전계발광소자는 m 개의 컬럼라인들(CL1 내지 CL m)과, 이 컬럼라인들(CL1 내지 CL m)에 교차되도록 n 개의 로우라인들(RL1 내지 RL n)이 형성되어 매트릭스타입으로 배치된 $m \times n$ 개의 화소들(P)을 가지게 된다.

<21> 유기전계발광소자의 화소들(P)은 컬럼라인들(CL1 내지 CL m)과 로우라인들(RL1 내지 RL n)의 교차부에 형성되어 스위칭소자 역할을 하는 제1 TFT(T1)와, 셀구동전압원(VDD)과 전계발광셀(OLED) 사이에 형성되어 전계발광셀(OLED)을 구동하기 위한 제2 TFT(T2)와,

제1 및 제2 TFT(T1,T2) 사이에 접속된 캐패시터(Cst)를 구비한다. 제1 및 제2 TFT(T1,T2)는 P 타입 MOS-FET로 구현된다.

<22> 제1 TFT(T1)는 로우라인(RL1 내지 RLn)으로부터의 부극성 스캔전압에 응답하여 턴-온 됨으로써 자신의 소스단자와 드레인단자 사이의 전류패스를 도통시킴과 아울러 로우라인(RL1 내지 RLn) 상의 전압이 자신의 문턱전압(Threshold Voltage : V_{th}) 이하일 때 오프 상태를 유지하게 된다. 이 제1 TFT(T1)의 온 타임기간에 컬럼라인들(CL)로부터의 데이터전압(V_{cl})은 제1 TFT(T1)의 소스단자와 게이트단자를 경유하여 제2 TFT(T2)의 게이트단자에 인가된다. 이와 반대로, 제1 TFT(T1)의 오프타임기간에는 제1 TFT(T1)의 소스단자와 드레인단자 사이의 전류패스가 개방되어 데이터전압(V_{cl})이 제2 TFT(T2)에 인가되지 않는다.

<23> 제2 TFT(T2)는 자신의 게이트단자에 공급되는 데이터전압(V_{cl})에 의해 따라 소스단자와 드레인단자간의 전류를 조절하여 데이터전압(V_{cl})에 대응하는 밝기로 전계발광셀(OLED)을 발광하게 된다.

<24> 캐패시터(Cst)는 데이터전압(V_{cl})과 셀구동전압(VDD) 사이의 차전압을 저장하여 제2 TFT(T2)의 게이트단자에 인가되는 전압을 한 프레임기간동안 일정하게 유지함과 아울러 전계발광셀(OLED)에 인가되는 전류를 한 프레임기간 동안 일정하게 유지시킨다.

<25> 도 4는 도 2에 도시된 유기발광소자에 인가되는 스캔전압과 데이터전압을 나타낸다.

<26> 도 4를 참조하면, 로우라인들(RL1 내지 RLn)에는 부극성의 스캔펄스(scan)가 순차적으로 인가되며 컬럼라인들(CL1 내지 CLn)에는 스캔펄스(scan)에 동기되어 데이터전압

(data)이 동시에 인가된다. 이로 인하여, 데이터전압(data)은 제1 TFT(T1)을 통하여 흐르게 되고, 이 데이터전압(data)은 캐패시터(Cst)에 충전된다.

<27> 또한 이러한 구조에서 RGB 등의 각 화상신호가 입력되는 만큼 각 화상신호를 입력하는 컬럼라인(CL)의 수가 구비되어야 한다.

<28> 상기에서와 같은 유기전계발광소자는 제품의 사용시간이 증가할수록 열화가 발생하여 수명이 단축되는 단점이 있다. 이러한 열화를 방지하기 위해서 유기전계발광소자에는 내부 스위칭 소자에 일정시간 역방향으로 전압을 인가하여 수명과 효율을 향상시키는 에이징(Aging) 회로가 부가된다. 일반적으로 에이징(Aging)은 반도체 제품의 제조 직후에 제품의 신뢰성을 테스트하기 위해서 미리 어느 정도 노화상태로 만들어 초기의 불량 발생의 부담을 사용자 측에 주기 않기 위한 것이다.

<29> 도 5는 종래기술에 따른 에이징 회로가 접속된 유기전계발광소자의 화소를 나타낸 것이다.

<30> 도 5를 참조하면, 종래기술에 따른 에이징 회로(24)는 유기전계발광소자의 화소(22) 내 제1 TFT(T1) 게이트 및 드레인단자와 접속된다. 유기전계발광소자의 화소(22)은 도 3에서 설명한 바와 같이 동일하게 구성된다. 화소(22) 구성과 관련하여 설명은 생략하기로 한다.

<31> 에이징 회로(24)는 제1 에이징 전압원(Va1)과 제1 TFT(T1)의 게이트 단자 사이에 접속된 제1 에이징 스위치 소자(A1)와, 제2 에이징 전압원(Va2)과 제1 TFT(T1)의 소스단자 사이에 접속된 제2 에이징 스위치 소자(A2)와, 제1 및 제2 에이징 스위치 소자(A1,A2)를 턴-온(Turn-On) 시키기 위한 제3 에이징 전압원(Va3)을 구비한다. 이러한 에

이정 회로(24)의 목적은 전계발광셀(OLED)에 에이징 전압을 가하는 것으로, 여기서 최종 에이징 전압은 셀구동전압원(VDD)으로부터의 구동전압이다. 이를 위해서는 제2 TFT(T2)가 에이징(Aging) 시간동안 온(On) 상태를 유지해야 한다. 제2 TFT(T2)가 온(On) 되기 위해서는 제2 에이징 스위치 소자(A2)와 제1 TFT(T1)가 온(On) 되어야 하고, 제1 TFT(T1)가 온(On) 되기 위해서는 제1 에이징 스위치 소자(A1)가 온(On) 되어야 한다.

<32> 상기에서와 같이 순차적으로 각 스위치 소자의 게이트 단자에 걸리는 전압을 계산해보면, 제1 내지 제3 에이징 전압원(Va1 내지 Va3)으로는 화소셀을 에이징하고자 하는 전압보다 제1 및 제2 TFT(T1,T2)의 문턱전압의 수 배만큼 더 큰 전압을 공급하게 된다.

<33> 예를들어 설명하면, 전계발광셀(OLED)이 -15V의 셀구동전압원(VDD)과 0V의 기저전압원(GND) 사이에서 발광할 경우, 제1 및 제2 에이징 스위치 소자(A1,A2)가 온 되도록 자신의 게이트단자에 각각 접속된 제3 에이징 전압원(Va3)은 -30V, 제1 에이징 스위치 소자(A1)를 경유하여 제1 TFT(T1)의 게이트 단자를 온 시키기 위한 제1 에이징 전압원(Va1)은 -25V, 제2 에이징 스위치 소자(A2) 및 제1 TFT(T1)를 경유하여 제2 TFT(T2)의 게이트 단자를 턴-온시키기 위한 제2 에이징 전압원(Va2)은 -20V를 각각 공급한다. 따라서, 수분에서 수시간의 에이징 작업시 상기에서와 같이 높은 전압이 장시간 인가됨으로 인하여 유기전계발광소자내 제1 및 제2 TFT(T1,T2)는 열화를 초래하게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <34> 따라서, 본 발명의 목적은 유기전계발광소자의 열화를 방지하도록 한 유기전계발광소자용 에이징 회로에 관한 것이다.
- <35> 본 발명의 다른 목적은 에이징 전압을 감소시킴과 아울러 에이징 구동시간을 단축시키도록 한 유기전계발광소자용 에이징 회로에 관한 것이다.

【발명의 구성 및 작용】

- <36> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기전계발광소자용 에이징 회로는 로우라인들과 컬럼라인들의 교차부에 매트릭스 형태로 배열된 화소어레이와, 상기 화소어레이에 소정의 에이징 교류전압펄스를 인가하기 위한 다수의 에이징 교류전압원을 포함하는 스위칭 수단을 구비하는 것을 특징으로 한다.
- <37> 본 발명에서의 상기 화소들 각각은, 상기 컬럼라인들과 로우라인들 사이의 화소영역에 형성된 전계발광셀과, 상기 컬럼라인들과 로우라인들 교차부에 형성되어 스위칭 역할을 하는 제1 스위치 소자와, 셀구동전압원과 상기 전계발광셀 사이에 형성되어 상기 전계발광셀을 구동하기 위한 제2 스위치 소자와, 상기 제1 및 제2 스위치 소자 사이에 접속된 캐패시터를 구비하며; 상기 전계발광셀의 음극단은 0V 이상의 셀지지전압원과 접속되는 것을 특징으로 한다.
- <38> 본 발명에서의 상기 에이징 회로부는, 0V와 소정의 각각 다른 부극성 전압 사이에서 스위칭 되는 제1 및 제2 에이징 교류전압원과, 상기 제1 에이징 교류전압원과 제1 스위치소자의 게이트단자 사이에 접속된 제1 에이징 스위치 소자와, 상기 제2 에이징 교류

전압원과 제1 스위치소자의 소스단자 사이에 접속된 제2 에이징 스위치 소자와, 상기 제1 및 제2 에이징 스위치 소자를 턴-온 시키기 위한 제3 에이징 교류전압원을 구비하는 것을 특징으로 한다.

<39> 본 발명에서의 상기 제1 내지 제3 에이징 교류전압원은 교류 전압펄스형태로 인가되며, 셀구동전압원> 제2 에이징 교류전압원> 제1 에이징 교류전압원> 제3 에이징 교류전압원의 공급전압 대소관계를 가지는 것을 특징으로 한다.

<40> 본 발명에서의 다른 상기 화소들 각각은, 상기 컬럼라인들과 로우라인들 사이의 화소영역에 형성된 전계발광셀과, 셀구동전압원과 상기 전계발광셀 사이에 형성되어 전계발광셀을 구동하기 위한 제1 스위치 소자와, 상기 제1 스위치 소자와 전류미러를 형성하도록 셀구동전압원에 접속된 제2 스위치 소자와, 상기 제2 스위치 소자, 컬럼라인 및 로우라인에 접속되어 상기 로우라인 상의 신호에 응답되는 제3 스위치 소자와, 상기 제1 및 제2 스위치 소자의 게이트단자와 상기 제3 스위치 소자 사이에 접속되어 상기 로우라인 상의 신호에 응답되는 제4 스위치 소자와, 상기 셀구동전압원과 상기 제1 및 제2 스위치 소자의 게이트단자 사이에 접속된 캐패시터를 구비하며, 상기 전계발광셀의 음극단은 0V 이상의 셀지지전압원에 접속되는 것을 특징으로 한다.

<41> 본 발명에서의 상기 에이징 회로부는, 0V와 소정의 각각 다른 부극성 전압 사이에서 스위칭 되는 제1 및 제2 에이징 교류전압원과, 상기 제1 에이징 교류전압원과 제3 스위치 소자의 게이트단자 사이에 접속된 제1 에이징 스위치 소자와, 상기 제1 에이징 교류전압원과 제4 스위치 소자의 게이트단자 사이에 접속된 제2 에이징 스위치 소자와, 상기 제2 에이징 교류전압원과 제3 스위치 소자의 소스단자 사이에 접속된 제3 에이징 스



위치 소자와, 상기 제1 내지 제3 에이징 스위치 소자를 동시에 턴-온 시키기 위한 제3 에이징 교류전압원을 구비하는 것을 특징으로 한다.

<42> 본 발명에 따른 유기전계발광소자용 에이징 회로의 구동방법은 유기전계발광소자의 화소들에 소정의 에이징 전압을 인가하여 에이징하는 방법에 있어서, 상기 화소들에 교류 전압펄스로 인가되는 다수의 에이징 교류 전압을 인가하는 단계와, 상기 에이징 교류 전압에 의해 형성된 전류 패스에 대응되는 크기로 상기 화소 내 전계발광셀을 발광시키는 단계를 포함하는 것을 특징으로 한다.

<43> 이하, 도 6 내지 도 9를 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.

<44> 도 6은 본 발명의 제1 실시예에 따른 유기전계발광소자용 에이징 회로를 나타낸 도면으로서, 특히 에이징 회로가 유기전계발광소자 내 화소과 접속된 등가회로도 나타낸 도면이다.

<45> 도 6을 참조하면, 본 발명에 따른 유기전계발광소자는 m 개의 컬럼라인들(CL1 내지 CL m)과, 이 컬럼라인들(CL1 내지 CL m)에 교차되도록 n 개의 로우라인들(RL1 내지 RL n)이 형성되어 매트릭스타입으로 배치된 $m \times n$ 개의 화소들(42)과, 유기전계발광소자의 제반특성 즉, 스위치 소자들 열화 방지 및 휘도 등의 향상을 위한 정확한 에이징의 실현과 효과적으로 에이징이 가능하도록 하기 위하여 전압 크기 및 전압 인가시간의 가변이 수행되도록 하는 에이징 회로(44)를 구비한다.

<46> 화소들(42) 각각은 컬럼라인들(CL1 내지 CL m)과 로우라인들(RL1 내지 RL n)의 교차부에 형성되어 스위칭소자 역할을 하는 제1 TFT(T1)와, 셀구동전압원(VDD)과

전계발광셀(OLED) 사이에 형성되어 전계발광셀(OLED)을 구동하기 위한 제2 TFT(T2)와, 제1 및 제2 TFT(T1,T2) 사이에 접속된 캐패시터(Cst)를 구비한다. 제1 및 제2 TFT(T1,T2)는 P 타입 MOS-FET로 구현된다. 이 때, 전계발광셀(OLED)의 음극단에는 셀구동전압(VDD)과 소정 전압차를 이루는 셀지지전압원(VSS)이 인가된다. 셀구동전압(VDD)과 셀지지전압(VSS) 간의 전압차는 도 3에 도시된 셀구동전압(VDD)과 기저전압(GND) 간의 전압차와 동일하다.

<47> 제1 TFT(T1)는 로우라인(RL1 내지 RLn)으로부터의 부극성 스캔전압에 응답하여 턴-온 됨으로써 자신의 소스단자와 드레인단자 사이의 전류패스를 도통시킴과 아울러 로우라인(RL1 내지 RLn) 상의 전압이 자신의 문턱전압(Threshold Voltage : V_{th}) 이하일 때 오프 상태를 유지하게 된다. 이 제1 TFT(T1)의 온 타임기간에 컬럼라인들(CL)로부터의 데이터전압(V_{cl})은 제1 TFT(T1)의 소스단자와 게이트단자를 경유하여 제2 TFT(T2)의 게이트단자에 인가된다. 이와 반대로, 제1 TFT(T1)의 오프타임기간에는 제1 TFT(T1)의 소스단자와 드레인단자 사이의 전류패스가 개방되어 데이터전압(V_{cl})이 제2 TFT(T2)에 인가되지 않는다.

<48> 제2 TFT(T2)는 자신의 게이트단자에 공급되는 데이터전압(V_{cl})에 의해 따라 소스단자와 드레인단자간의 전류를 조절하여 데이터전압(V_{cl})에 대응하는 밝기로 전계발광셀(OLED)을 발광하게 된다.

<49> 캐패시터(Cst)는 데이터전압(V_{cl})과 셀구동전압(VDD) 사이의 차전압을 저장하여 제2 TFT(T2)의 게이트단자에 인가되는 전압을 한 프레임기간동안 일정하게 유지함과 아울러 전계발광셀(OLED)에 인가되는 전류를 한 프레임기간 동안 일정하게 유지시킨다.

<50> 에이징 회로(44)는 0V와 소정의 각각 다른 부극성 전압 사이에서 스위칭 되는 제1 내지 제3 에이징 교류전압원(Va1 내지 Va3)과, 제1 에이징 교류전압원(Va1)과 제1 TFT(T1)의 게이트 단자 사이에 접속된 제1 에이징 스위치 소자(A1)와, 제2 에이징 교류전압원(Va2)과 제1 TFT(T1)의 소스단자 사이에 접속된 제2 에이징 스위치 소자(A2)와, 제1 및 제2 에이징 스위치 소자(A1,A2)를 턴-온(Turn-On) 시키기 위한 제3 에이징 교류전압원(Va3)을 구비한다. 이러한 에이징 회로(44)의 목적은 전계발광셀(OLED)에 에이징 전압을 가하는 것으로, 여기서 최종 에이징 전압은 셀구동전압원(VDD)으로부터의 구동 전압이다. 이 때, 인가되는 셀구동전압원(VDD)은 종래기술에서의 셀구동전압(VDD)보다 현재 전계발광셀(OLED)의 음극단에 인가되는 전압만큼 작은 크기를 가지는 전압을 인가한다. 이로 인하여, 전계발광셀(OLED)에는 동일한 에이징 전압을 인가할 수 있으며, 제1 내지 제3 에이징 교류전압원(Va1 내지 Va3)도 종래기술에서의 에이징 전압원보다 전계발광셀(OLED)의 음극단에 인가되는 전압만큼 감소시킬 수 있다.

<51> 도 7은 도 6에 도시된 에이징 회로에 인가되는 에이징 교류전압 파형의 일례를 나타낸 것이다.

<52> 도 7을 참조하면, 제1 내지 제3 에이징 교류전압원(Va1 내지 Va3)로부터 교류 구형 펄스 전압이 인가된다. 제1 에이징 교류전압원(Va1)은 -15V를 공급하고, 제2 에이징 교류전압(Va2)은 -10V를 공급하며, 제3 에이징 교류전압원(Va3)은 -20V를 공급한다. 또한, 제2 TFT(T2)에 접속된 셀구동전압원(VDD)은 -5V를 공급하고, 전계발광셀(OLED)의 음극단에 접속된 셀지지전압원(VSS)은 +10V를 공급한다. 제1 내지 제3 에이징 교류전압이 제1 및 제2 에이징 스위치 소자(A1,A2)와 제1 TFT(T1)에 인가되어 온(On) 되는 경우 제2 에이징 교류전압(Va2)은 화소(42) 내 캐패시터(Cst)에 저장된다. 이를 상세히 설명

하면, 먼저, 제3 에이징 교류전압(Va3)이 인가되어 제1 및 제2 에이징 스위치 소자(A1,A2)를 턴-온 시킨다. 제1 및 제2 에이징 스위치 소자(A1,A2)가 온 되면 제1 및 제2 에이징 교류전압(Va1,Va2)이 거의 동시에 인가되어 제1 TFT(T1)를 턴-온 시킨다. 제1 TFT(T1)가 턴-온 되면 제2 에이징 교류전압(Va2)은 제2 에이징 스위치 소자(A2)와 제1 TFT(T1)를 순차적으로 경유하고, 이 제2 에이징 교류전압(Va2)은 캐패시터(Cst)에 충전된다.

<53> 교류 구형펄스 전압 인가가 끝난 후 즉, 제1 내지 제3 에이징 교류전압(Va1 내지 Va3)에 오프(Off) 전압(0V)이 인가되면 제1 및 제2 에이징 스위치 소자(A1,A2)와 제1 TFT(T1)는 턴-오프(Turn-off) 된다. 이 경우, 캐패시터(Cst)에 충전된 데이터전압은 제2 TFT(T2)의 게이트단자에 계속 인가된다. 이로 인하여, 제2 TFT(T2)는 계속해서 온 상태를 유지하게 된다. 제2 TFT(T2)는 자신의 게이트단자에 공급되는 캐패시터(Cst) 충전전압에 의해 소스단자와 드레인단자간의 전류패스를 조절하여 캐패시터(Cst) 충전전압에 대응하는 밝기로 전계발광셀(OLED)을 발광하게 된다.

<54> 상기에서와 같이 구동할 경우 전계발광셀(OLED)에는 제1 및 제2 에이징 스위치 소자(A1,A2)와 제1 TFT(T1)의 온(On)/오프(Off)에 관계없이 에이징(Aging) 전압이 인가되어진다. 이로 인하여, 제1 및 제2 에이징 스위치 소자(A1,A2)와 제1 TFT(T1)의 온(On) 시간 즉, 전압이 걸리는 시간을 줄임으로써 화소(42) 내 TFT가 받는 전압 스트레스를 줄일 수 있게 된다.

<55> 도 8은 본 발명의 제2 실시예에 따른 유기전계발광소자용 에이징 회로를 나타내는 도면으로서, 특히 에이징 회로가 유기전계발광소자 내 4개의 스위치 소자를 포함하는 화소과 접속된 등가회로도 나타낸 도면이다.

<56> 도 8을 참조하면, 본 발명에 따른 유기전계발광소자는 m 개의 컬럼라인들(CL1 내지 CL m)과, 이 컬럼라인들(CL1 내지 CL m)에 교차되도록 n 개의 로우라인들(RL1 내지 RL n)이 형성되어 매트릭스타입으로 배치된 $m \times n$ 개의 화소들(52)과, 유기전계발광소자의 제반 특성 즉, 스위치 소자들 열화 방지 및 휘도 등의 향상을 위한 정확한 에이징의 실현과 효과적으로 에이징이 가능하도록 하기 위하여 전압 크기 및 전압 인가시간의 가변이 수행되도록 하는 에이징 회로(54)를 구비한다.

<57> 화소들(52) 각각은 셀구동전압원(VDD)과 전계발광셀(OLED) 사이에 형성되어 전계발광셀(OLED)을 구동하기 위한 제1 TFT(T1)와; 제1 TFT(T1)와 전류미러를 형성하도록 셀구동전압원(VDD)에 접속된 제2 TFT(T2)와; 제2 TFT(T2), 컬럼라인(CL) 및 로우라인(RL)에 접속되어 로우라인(RL) 상의 신호에 응답되는 제3 TFT(T3)와; 제3 TFT(T3) 및 제2 TFT(T2)의 게이트단자, 로우라인(RL) 및 제3 TFT(T3)에 접속되는 제4 TFT(T4); 제1 TFT(T1) 및 제2 TFT(T2)의 게이트단자와 전압공급라인(VDD) 사이에 접속되어 전압공급라인(VDD)과 소정 전압차를 이루는 셀지지전압원(VSS)이 인가된다. 셀구동전압(VDD)과 셀지지전압(VSS) 간의 전압차는 도 3에 도시된 셀구동전압(VDD)과 기저전압(GND) 간의 전압차와 동일하다.

<58> 제3 및 제4 TFT(T3,T4)는 로우라인(RL1 내지 RL n)으로부터의 부극성 스캔전압에 응답하여 턴-온 됨으로써 자신의 소스단자와 드레인단자 사이의 전류패스를 도통시킴과 아울러 로우라인(RL1 내지 RL n) 상의 전압이 자신의 문턱전압(Threshold Voltage : V_{th}) 이하일 때 오프 상태를 유지하게 된다. 이 제3 및 제4 TFT(T3,T4)의 온 타임기간에 컬럼라인들(CL)로부터의 데이터전압(V_{cl})은 제3 및 제4 TFT(T3,T4)의 소스단자와 게이트단

자를 각각 경유하여 제1 TFT(T1)의 게이트단자에 인가된다. 이와 반대로, 제1 및 제2 TFT(T1,T2)의 오프타임기간에는 제1 및 제2 TFT(T1,T2)의 소스단자와 드레인단자 사이의 전류패스가 각각 개방되어 데이터전압(Vc1)이 제1 TFT(T1)에 인가되지 않는다.

<59> 제1 TFT(T1)는 자신의 게이트단자에 공급되는 데이터전압(Vc1)에 의해 따라 소스단자와 드레인단자간의 전류를 조절하여 데이터전압(Vc1)에 대응하는 밝기로 전계발광셀(OLED)을 발광하게 된다.

<60> 제2 TFT(T2)는 제1 TFT(T1)와 전류미러 형태로 구성되어 제1 TFT(T1)에서의 전류를 일정하게 제어하게 된다.

<61> 캐패시터(Cst)는 데이터전압(Vc1)과 셀구동전압(VDD) 사이의 차전압을 저장하여 제1 TFT(T1)의 게이트단자에 인가되는 전압을 한 프레임기간동안 일정하게 유지함과 아울러 전계발광셀(OLED)에 인가되는 전류를 한 프레임기간 동안 일정하게 유지시킨다.

<62> 에이징 회로(54)는 0V와 소정의 각각 다른 부극성 전압 사이에서 스위칭 되는 제1 내지 제3 에이징 교류전압원(Va1 내지 Va3)과, 제3 TFT(T3)의 게이트단자와 제1 에이징 교류전압원(Va1) 사이에 접속된 제1 에이징 스위치 소자(A1)와, 제4 TFT(T4)의 게이트단자와 제1 에이징 교류전압원(Va1) 사이에 접속된 제2 에이징 스위치 소자(A2)와, 제1 내지 제3 에이징 스위치 소자(A1 내지 A3)를 턴-온(Turn-On) 시키기 위해 제1 내지 제3 에이징 스위치 소자(A1 내지 A3)의 각 게이트단자에 공통접속되는 제3 에이징 교류전압원(Va3)을 구비한다.

<63> 이러한 에이징 회로(44)의 목적은 전계발광셀(OLED)에 에이징 전압을 가하는 것으로, 여기서 최종 에이징 전압은 셀구동전압원(VDD)으로부터의 구동전압이다. 이 때, 인

가되는 셀구동전압원(VDD)은 종래기술에서의 셀구동전압(VDD)보다 현재 전계발광셀(OLED)의 음극단에 인가되는 전압만큼 작은 크기를 가지는 전압을 인가한다. 이로 인하여, 전계발광셀(OLED)에는 동일한 에이징 전압을 인가할 수 있으며, 제1 내지 제3 에이징 교류전압원(Va1 내지 Va3)도 종래기술에서의 에이징 전압원보다 전계발광셀(OLED)의 음극단에 인가되는 전압만큼 감소시킬 수 있다.

<64> 이 경우 셀구동전압원(VDD), 셀지지전압원(VSS) 및 각 에이징 전압원(Va)을 통하여 인가되는 공급전압은 도 8에 도시된 구동파형과 동일하게 적용된다. 이로 인한 동작설명은 생략하기로 한다.

<65> 도 9는 도 6에 도시된 에이징 회로를 포함한 유기전계발광 표시장치를 상세히 나타내는 도면이다.

<66> 도 9를 참조하면, 본 발명에 따른 에이징 회로를 포함한 유기전계발광 표시장치는 컬럼라인들(CL1 내지 CLm)과 로우라인들(RL1 내지 RLn)의 교차부마다 배열된 유기 화소셀들(62)와 상기 유기 화소셀들(62)에 접속된 에이징 회로(64)를 포함하는 유기 전계발광 표시패널(60)과, 로우라인들(RL1 내지 RLn)을 구동하기 위한 스캔 구동부(66)와, 컬럼라인들(CL1 내지 CLm)을 구동하기 위한 데이터 구동부(68)를 구비한다.

<67> 스캔 구동부(66)는 로우라인들(RL1 내지 RLn)에 부극성의 스캔펄스를 라인순차적으로 공급한다.

<68> 데이터 구동부(68)는 수평기간마다 데이터신호에 응답하는 전류레벨 또는 펄스폭을 갖는 전류신호를 컬럼라인들(CL)에 공급하기 위한 데이터 드라이브 집적회로(70)와, 데이터 드라이브 집적회로(70)와 각 컬럼라인들(CL) 사이에 접속되어 에이징(Aging)시 데

이터전압이 컬럼라인들(CL)에 인가되지 않도록 한 멀티플렉서(Multiplexer ; Mux)를 구비한다.

<69> 이렇게 유기전계 표시장치는 입력 데이터에 비례하는 전류레벨 또는 펄스폭을 가지는 전류신호를 화소들(62)에 공급하게 된다. 그리고, 화소들(62) 각각은 컬럼전극라인(CL)으로부터 공급되는 전류의 양에 비례하여 발광하게 된다.

<70> 화소셀들(62) 각각은 컬럼라인들(CL1 내지 CLm)과 로우라인들(RL1 내지 RLn)의 교차부에 형성되어 스위칭소자 역할을 하는 제1 TFT(T1)와, 셀구동전압원(VDD)과 전계발광셀(OLED) 사이에 형성되어 전계발광셀(OLED)을 구동하기 위한 제2 TFT(T2)와, 제1 및 제2 TFT(T1,T2) 사이에 접속된 캐패시터(Cst)를 구비한다. 제1 및 제2 TFT(T1,T2)는 P 타입 MOS-FET로 구현된다. 이 때, 전계발광셀(OLED)의 음극단에는 셀구동전압(VDD)과 소정 전압차를 이루는 셀지지전압원(VSS)이 인가된다. 셀구동전압(VDD)과 셀지지전압(VSS) 간의 전압차는 도 3에 도시된 셀구동전압(VDD)과 기저전압(GND) 간의 전압차와 동일하다.

<71> 제1 TFT(T1)는 로우라인(RL1 내지 RLn)으로부터의 부극성 스캔전압에 응답하여 턴-온 됨으로써 자신의 소스단자와 드레인단자 사이의 전류패스를 도통시킴과 아울러 로우라인(RL1 내지 RLn) 상의 전압이 자신의 문턱전압(Threshold Voltage : V_{th}) 이하일 때 오프 상태를 유지하게 된다. 이 제1 TFT(T1)의 온 타임기간에 컬럼라인들(CL)로부터의 데이터전압(V_{cl})은 제1 TFT(T1)의 소스단자와 게이트단자를 경유하여 제2 TFT(T2)의 게이트단자에 인가된다. 이와 반대로, 제1 TFT(T1)의 오프타임기간에는 제1 TFT(T1)의 소스단자와 드레인단자 사이의 전류패스가 개방되어 데이터전압(V_{cl})이 제2 TFT(T2)에 인가되지 않는다.

- <72> 제2 TFT(T2)는 자신의 게이트단자에 공급되는 데이터전압(Vc1)에 의해 따라 소스단자와 드레인단자간의 전류를 조절하여 데이터전압(Vc1)에 대응하는 밝기로 전계발광셀(OLED)을 발광하게 된다.
- <73> 캐패시터(Cst)는 데이터전압(Vc1)과 셀구동전압(VDD) 사이의 차전압을 저장하여 제2 TFT(T2)의 게이트단자에 인가되는 전압을 한 프레임기간동안 일정하게 유지함과 아울러 전계발광셀(OLED)에 인가되는 전류를 한 프레임기간 동안 일정하게 유지시킨다.
- <74> 에이징 회로(64)는 0V와 소정의 각각 다른 부극성 전압 사이에서 스위칭 되는 에이징 교류전압(Va)이 입력되도록 한 제1 및 제2 에이징 전압패드(Va1 및 Va2)와, 제1 에이징 전압패드(Va1)와 제1 TFT(T1)의 게이트 단자 사이에 접속된 제1 에이징 스위치 소자(A1)와, 제2 에이징 전압패드(Va2)와 제1 TFT(T1)의 소스단자 사이에 접속된 제2 에이징 스위치 소자(A2)와, 제1 및 제2 에이징 스위치 소자(A1,A2)를 턴-온(Turn-On) 시키기 위한 제3 에이징 전압패드(Va3)를 구비한다. 또한, 에이징 회로(64)는 데이터 구동부(68)내 멀티플렉서(Mux)를 에이징하기 위한 제4 에이징 전압패드(Vm)를 더 구비한다.
- <75> 상기에서와 같이 유기전계발광 표시장치를 앞서 설명한 바와 같이 구동시 각 TFT와 전계발광셀(OLED)에 동일한 에이징 전압을 인가함으로써 열화를 방지할 수 있다. 또한, 유기전계발광 표시장치내 다른 원하는 스위치소자들도 에이징할 수 있다.

【발명의 효과】

- <76> 상술한 바와 같이, 본 발명에 따른 유기전계발광소자용 에이징 회로 및 그 구동방법은 전계발광셀(OLED)의 음극단에 소정의 정전압을 인가함과 아울러 에이징 전압으로

교류전압을 이용한다. 이에 따라, 본 발명에 따른 유기전계발광소자용 에이징 회로 및 그 구동방법은 화소 내에 스위치 소자 및 전계발광셀을 에이징하기 위한 에이징 전압을 감소시킴과 아울러 에이징시간도 감소시킬 수 있게 된다. 이로 인하여 스위치 소자 및 전계발광셀의 수명을 향상시킬 수 있게 된다.

<77> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

로우라인들과 컬럼라인들의 교차부에 매트릭스 형태로 배열된 다수의 화소들과,
상기 다수의 화소들에 소정의 에이징 교류전압펄스를 인가하기 위한 적어도 하나 이상의 에이징 교류전압원을 포함하는 스위칭수단을 구비하는 것을 특징으로 하는 유기 전계발광소자용 에이징 회로.

【청구항 2】

제 1 항에 있어서,
상기 화소들 각각은,
상기 컬럼라인들과 로우라인들 사이의 화소영역에 형성된 전계발광셀과,
상기 컬럼라인들과 로우라인들 교차부에 형성되어 스위칭 역할을 하는 제1 스위치 소자와,
셀구동전압원과 상기 전계발광셀 사이에 형성되어 상기 전계발광셀을 구동하기 위한 제2 스위치 소자와,
상기 제1 및 제2 스위치 소자 사이에 접속된 캐패시터를 구비하며;
상기 전계발광셀의 음극단은 0V 이상의 셀지지전압원과 접속되는 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 3】

제 2 항에 있어서,
상기 스위칭수단은,

0V 와 소정의 각각 다른 부극성 전압 사이에서 스위칭 되는 제1 및 제2 에이징 교류전압원과,

상기 제1 에이징 교류전압원과 제1 스위치소자의 게이트단자 사이에 접속된 제1 에이징 스위치 소자와,

상기 제2 에이징 교류전압원과 제1 스위치소자의 소스단자 사이에 접속된 제2 에이징 스위치 소자와,

상기 제1 및 제2 에이징 스위치 소자를 턴-온 시키기 위한 제3 에이징 교류전압원을 구비하는 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 4】

제 3 항에 있어서,

상기 셀구동전압원과 셀지지전압원 사이의 공급전압차는 -15V인 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 5】

제 4 항에 있어서,

상기 셀구동전압원의 공급전압은 -5V이고,

상기 셀지지전압원의 공급전압은 +10V인 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 6】

제 5 항에 있어서,

상기 제1 내지 제3 에이징 교류전압원은 교류 전압펄스형태로 인가되며,

셀구동전압원> 제2 에이징 교류전압원> 제1 에이징 교류전압원> 제3 에이징 교류전압원의 공급전압 대소관계를 가지는 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 7】

제 6 항에 있어서,

상기 제2 에이징 교류전압은 $-10V$ 이며,

상기 제1 에이징 교류전압은 $-15V$ 이고,

상기 제3 에이징 교류전압은 $-20V$ 인 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 8】

제 1 항에 있어서,

상기 화소들 각각은,

상기 컬럼라인들과 로우라인들 사이의 화소영역에 형성된 전계발광셀과,

셀구동전압원과 상기 전계발광셀 사이에 형성되어 전계발광셀을 구동하기 위한

제1 스위치 소자와,

상기 제1 스위치 소자와 전류미러를 형성하도록 셀구동전압원에 접속된 제2 스위치 소자와,

상기 제2 스위치 소자, 컬럼라인 및 로우라인에 접속되어 상기 로우라인 상의 신호에 응답되는 제3 스위치 소자와,

상기 제1 및 제2 스위치 소자의 게이트단자와 상기 제3 스위치 소자 사이에 접속되어 상기 로우라인 상의 신호에 응답되는 제4 스위치 소자와,

상기 셀구동전압원과 상기 제1 및 제2 스위치 소자의 게이트단자 사이에 접속된 캐패시터를 구비하며,

상기 전계발광셀의 음극단은 0V 이상의 셀지지전압원에 접속되는 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 9】

제 8 항에 있어서,

상기 스위칭 수단은,

0V와 소정의 각각 다른 부극성 전압 사이에서 스위칭 되는 제1 및 제2 에이징 교류전압원과,

상기 제1 에이징 교류전압원과 제3 스위치 소자의 게이트단자 사이에 접속된 제1 에이징 스위치 소자와,

상기 제1 에이징 교류전압원과 제4 스위치 소자의 게이트단자 사이에 접속된 제2 에이징 스위치 소자와,

상기 제2 에이징 교류전압원과 제3 스위치 소자의 소스단자 사이에 접속된 제3 에이징 스위치 소자와,

상기 제1 내지 제3 에이징 스위치 소자를 동시에 턴-온 시키기 위한 제3 에이징 교류전압원을 구비하는 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 10】

제 9 항에 있어서,

상기 셀구동전압원과 셀지지전압원 사이의 공급전압차는 -15V인 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 11】

제 10 항에 있어서,

상기 셀구동전압원의 공급전압은 -5V이고,

상기 셀지지전압원의 공급전압은 +10V인 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 12】

제 11 항에 있어서,

상기 제1 내지 제3 에이징 교류전압원은 교류 전압펄스형태로 인가되며,

셀구동전압원> 제2 에이징 교류전압원> 제1 에이징 교류전압원> 제3 에이징 교류전압원의 공급전압 대소관계를 가지는 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 13】

제 12 항에 있어서,

상기 제2 에이징 교류전압은 -10V이며,

상기 제1 에이징 교류전압은 -15V이고,

상기 제3 에이징 교류전압은 -20V인 것을 특징으로 하는 유기전계발광소자용 에이징 회로.

【청구항 14】

유기전계발광소자의 화소들 소정의 에이징 전압을 인가하여 에이징하는 방법에 있어서,

상기 화소들에 교류 전압펄스로 인가되는 다수의 에이징 교류 전압을 인가하는 단계와,

상기 에이징 교류전압에 의해 형성된 전류 패스에 대응되는 크기로 상기 화소 내 전계발광셀을 발광시키는 단계를 포함하는 것을 특징으로 하는 유기전계발광소자의 구동 방법.

【청구항 15】

제 14 항에 있어서,

상기 전계발광셀의 발광은 상기 전류 패스에 대응한 셀구동전압원과 셀지지전압원 사이의 전압차에 의한 것을 특징으로 하는 유기전계발광소자의 구동방법.

【청구항 16】

제 15 항에 있어서,

상기 셀지지전압원은 0V 이상의 정극성 전압을 인가하고,

상기 셀구동전압원 부극성 전압을 인가하며;

상기 셀지지전압원과 15V의 공급전압차이를 가지는 것을 특징으로 하는 유기전계발광소자용 에이징 회로의 구동방법.

【청구항 17】

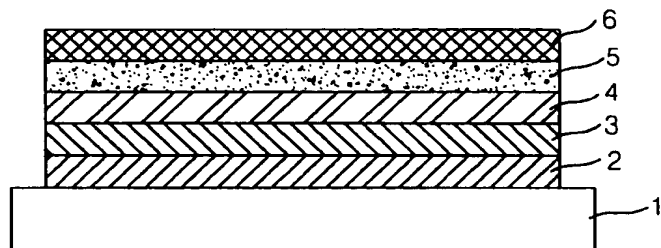
제 15 항에 있어서,

상기 다수의 에이징 교류전압원은 상기 셀구동전압원보다 낮은 전압을 공급하는 것을 특징으로 하는 유기전계발광소자용 에이징 회로의 구동방법.

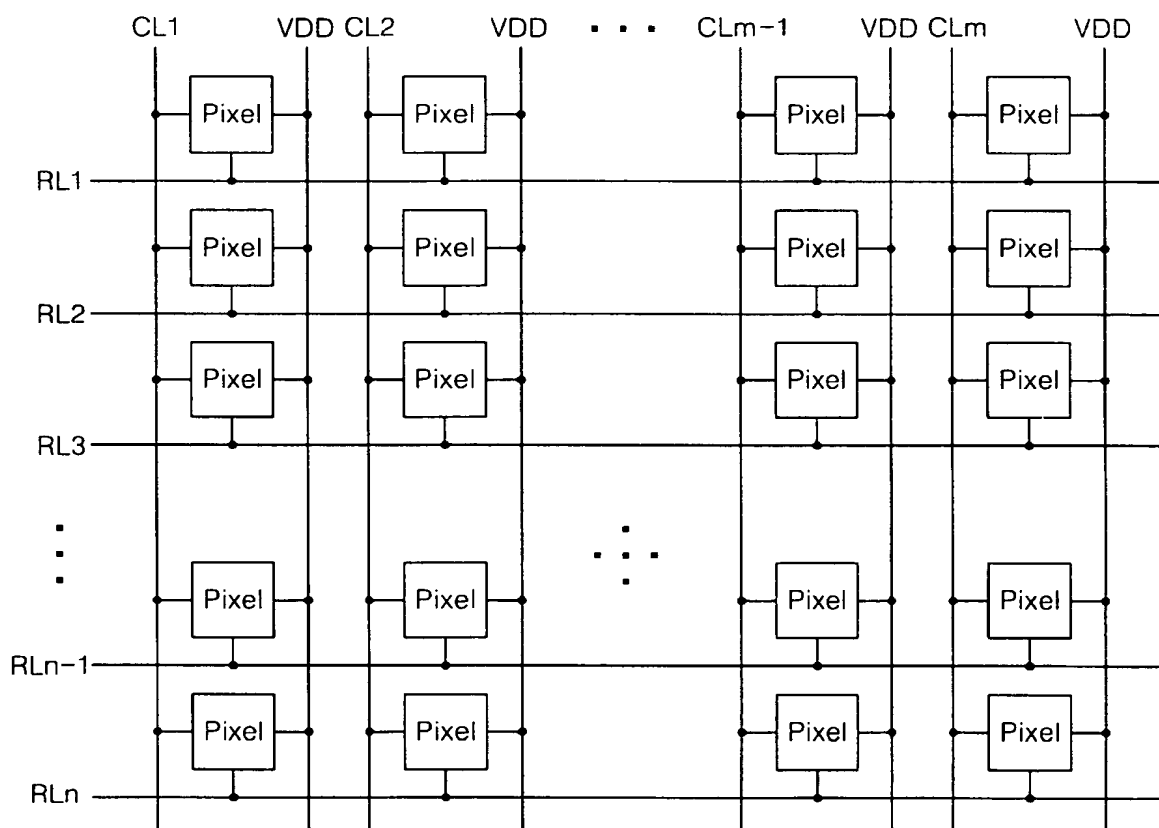


【도면】

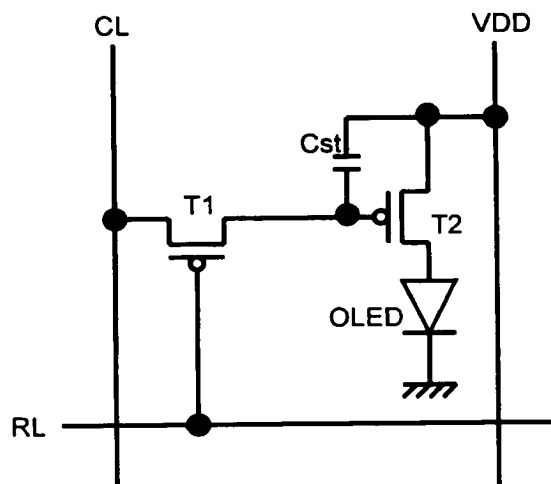
【도 1】



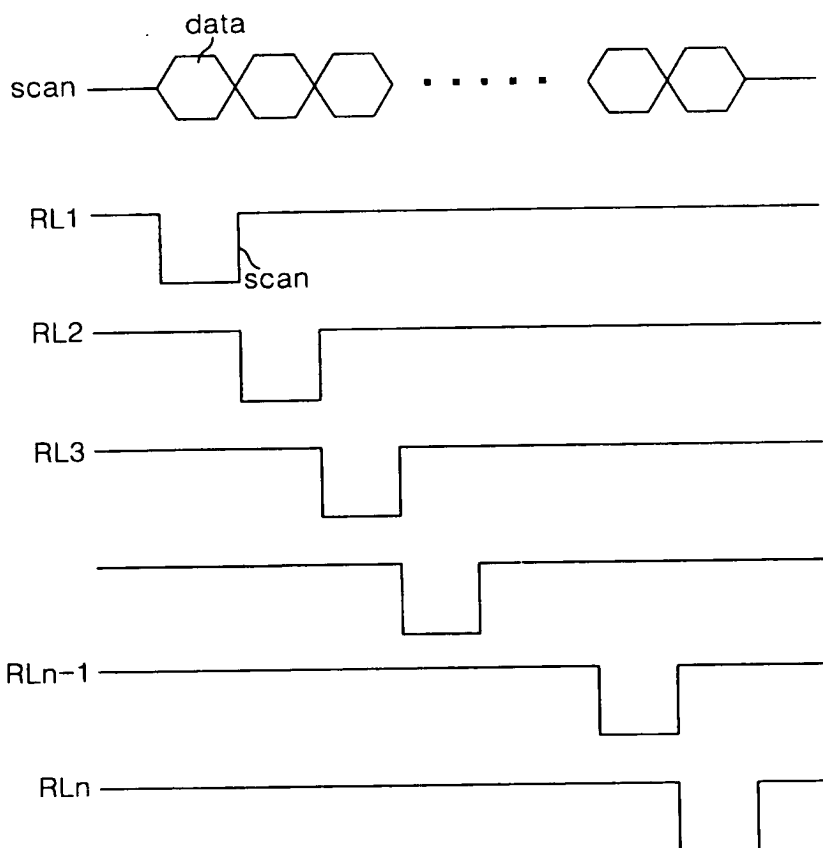
【도 2】



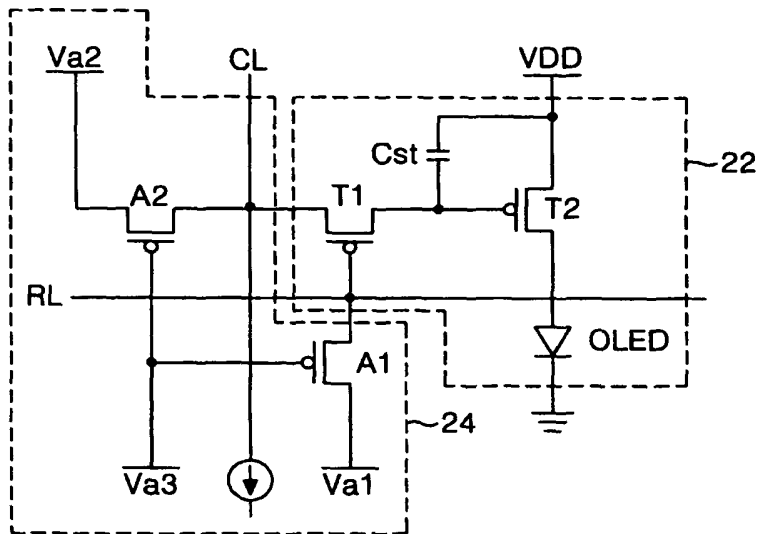
【도 3】



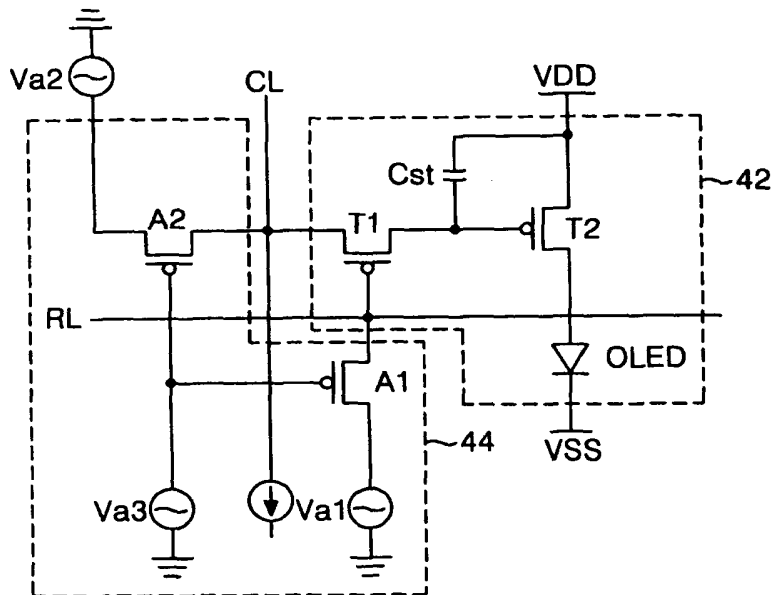
【도 4】



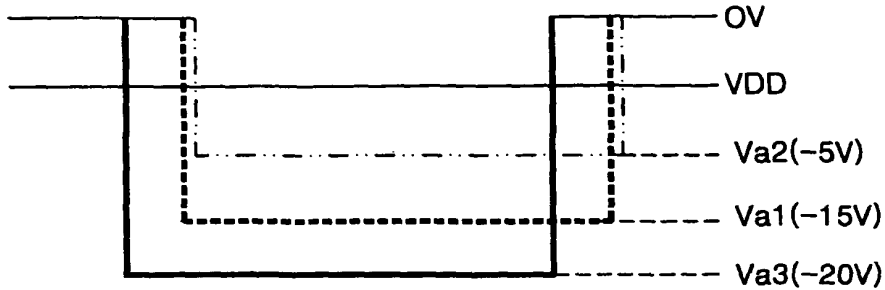
【도 5】



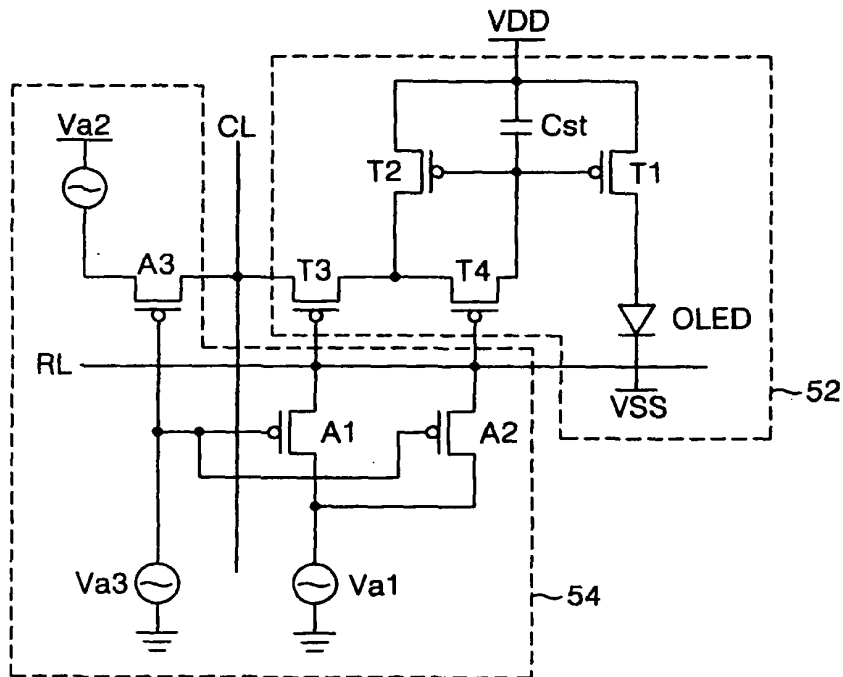
【도 6】



【도 7】



【도 8】



【도 9】

